

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-045976

(43)Date of publication of application : 16.02.1999

(51)Int.Cl.

H01L 27/01

H01L 25/00

(21)Application number : 09-201163

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.07.1997

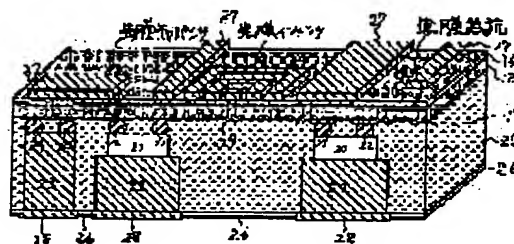
(72)Inventor : KAGAYA OSAMU
YAMAZAKI MATSUO
YAMADA KOJI

(54) HIGH FREQUENCY MULTI CHIP MODULE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize, thin and lighten a portable telephone, by reducing areas in order of an upper electrode layer, a dielectric layer and a lower electrode layer in a thin-film capacitor, and electrically connecting the lower electrode of the thin-film capacitor and a wiring layer in the lower section of the lower electrode by a via hole.

SOLUTION: Semiconductor chips 20 are sealed and fixed by a resin layer 25, one layer or multilayer of wiring layer 19 is formed to the upper section of the resin layer 25, and thin-film capacitors are formed to the upper sections of the wiring layers 19. The thin-film capacitors have the three-layer structure of upper electrode layers 13, dielectric layers 14 and lower electrode layers 15. The patterns of the dielectric layers 14 are formed on the insides of the upper electrode layers 13, and the patterns of the lower electrode layers 15 are shaped insides the patterns of the dielectric layers 14. Areas are reduced in order of the upper electrode layers 13, the dielectric layers 14 and the lower electrode layers 15 at that time, and the lower electrodes of the thin-film capacitors and the wiring layers 19 in the lower sections of the lower electrodes of the thin-film capacitors are connected electrically by via holes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45976

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.⁹

H 0 1 L 27/01

25/00

識別記号

3 0 1

F I

H 0 1 L 27/01

25/00

3 0 1

B

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号

特願平9-201163

(22) 出願日

平成9年(1997) 7月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加賀谷 修

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 山▲崎▼ 松夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 山田 宏治

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

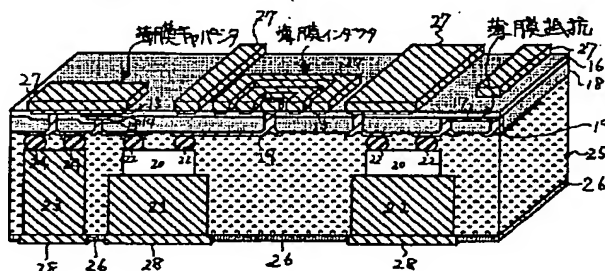
(54) 【発明の名称】 高周波マルチチップモジュール及びその製造方法

(57) 【要約】

【課題】 絶縁膜の平坦性を改善し、薄膜容量を搭載できる高周波マルチチップモジュールの構成および製造法を提供する。

【解決手段】 半導体チップを樹脂層により封じ込めて固定し、その樹脂層の上部に1層あるいは多層の配線層を設け、その配線層の上部に薄膜キャパシタを設ける。薄膜キャパシタは上部電極層と誘電体層と下部電極層の3層構造を有し、誘電体層のボタンを上部電極層のボタンの内側に形成し、下部電極層のボタンを誘電体層のボタンの内側に形成し、上部電極層、誘電体層、下部電極層の順で面積を小さくし、薄膜キャパシタの上記下部電極とその下方にある上記配線層とをビアホールにより電氣的に接続する。

図 1



1

【特許請求の範囲】

【請求項 1】複数の半導体チップと複数の薄膜キャパシタおよび薄膜インダクタを含む受動素子と下面に形成した接続電極を有し、上記半導体チップの主面を上方向に向けた（フェイスアップ型）構造の高周波マルチチップモジュールにおいて、上記半導体チップを樹脂層により封じ込めて固定し、上記樹脂層の上部に金属膜からなる配線層を 1 層以上設け、上記配線層の上部に上記薄膜キャパシタを設け、上記薄膜キャパシタは上部電極層と誘電体層と下部電極層の 3 層構造を有し、上記誘電体層のボタンを上記上部電極層のボタンの内側に形成し、上記下部電極層のボタンを上記誘電体層のボタンの内側に形成し、上部電極層、誘電体層、下部電極層の順で面積を小さくし、上記薄膜キャパシタの上記下部電極とその下方にある上記配線層とをバイアホールにより電気的に接続したことを特徴とする高周波マルチチップモジュール。

【請求項 2】上記請求項 1 において、上記誘電体層が STO（チタン酸ストロンチウム： SrTiO_3 ）もしくは BST（チタン酸ストロンチウムバリウム： $\text{BaSr}_{1-x}\text{Ti}_x$ ）からなる酸化物誘電体結晶膜であり、上記樹脂層が厚さ $100\mu\text{m}$ 以上の熱硬化性樹脂からなり、金属片からなるヒートシンクを上記半導体チップの少なくとも一つのチップ裏面に接続したことを特徴とする高周波マルチチップモジュール。

【請求項 3】複数の半導体チップと複数の薄膜キャパシタおよび薄膜インダクタを含む受動素子と下面に形成した接続電極を有し、上記半導体チップの主面を上方向に向けた（フェイスアップ型）構造の高周波マルチチップモジュールの製造方法において、半導体基板もしくは金属板からなるベース基板上に絶縁保護膜を形成し、上記絶縁保護膜上に金属膜からなる上部電極層、誘電体層、金属膜からなる下部電極層を順次被着し、これら 3 層をパターンニングすることにより薄膜キャパシタを形成し、上記薄膜キャパシタの上部に金属膜からなる配線層を 1 層以上設け、上記配線層と上記薄膜キャパシタの上記下部電極とをバイアホールにより接続し、上記半導体チップのうち少なくとも一つの裏面に金属片からなるヒートシンクを接着し、複数の半導体チップの主面電極にバンパを形成し、しかる後に上記半導体チップの主面を下に向けてベース基板上に被着し、上記半導体チップの上記主面電極と上記ベース基板上の上記配線層はバンパを介して電気的に接続し、その後上記半導体チップを樹脂層により封じ込めて固定し、上記樹脂層の表面を機械研削により平坦化し、そのとき上記ヒートシンクを表出し、上記樹脂層上に上記接続電極ボタンを形成し、上記ベース基板上に形成したこれらのモジュールボタンを切り出した後、上記ベース基板を研磨または化学エッチング法等により除去し、上下反転することにより所望のモジュールとする高周波マルチチップモジュールの製造方法。

【請求項 4】上記請求項 3 において、上記誘電体層が S

2

TO もしくは BST からなる酸化物誘電体結晶膜であり、上記誘電体層の形成温度が 400°C 以上であり、上記樹脂層が厚さ $100\mu\text{m}$ ないし $200\mu\text{m}$ の熱硬化性樹脂からなり、上記樹脂層の硬化温度が 350°C 以下であり、上記樹脂層の硬化収縮率が 10% 以下であることを特徴とする高周波マルチチップモジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は UHF からマイクロ波帯の信号処理を行う高周波マルチチップモジュールに係り、特に薄膜容量を用いた高周波マルチチップモジュールの構成および製造法に関する。

【0002】

【従来の技術】セルラ、PHS（Personal Handy-phon e System）といった移動体通信の普及で、携帯電話機の需要は近年急激にのびている。携帯電話機の技術的な課題は、移動体通信システムに対する高周波特性の仕様が満足することはもちろんであるが、顧客ニーズの点では小型、薄型、軽量化することが特に重要である。これまでは半導体（IC、トランジスタ）パッケージ及びチップコンデンサ、チップ抵抗をプリント基板上に表面実装する手法により携帯電話機の回路基板を構成していた。マルチチップモジュール（MCM：Multi-Chip Modul e）技術は半導体チップをパッケージなしで用いることでさらに実装密度を上げる技術であり、携帯電話の小型、薄型、軽量化の要求を満たす最適な技術である。その従来例としては例えば特開平 5-47856 号において論じられている。

【0003】従来例のマルチチップモジュールは図 2 に示すように、パッケージ 1 上にキャビティ状のステージ 1 a を設け、その中へ半導体チップ 2 をマウントし、さらにポリイミド等の樹脂からなる絶縁膜 3 a を塗布することによりその半導体チップ 2 を埋め込み、その絶縁膜 3 a 上に配線ボタン 3 c および薄膜抵抗 5 を形成して、マルチチップモジュールを構成している。図 2 において 1 b、2 a は接続パッド、3 b はバイアホール、3 d は第 2 の絶縁膜、3 e はシールド用の接地導体膜である。

【0004】この従来例ではパッケージ 1 として熱伝導率の高い金属基板や窒化アルミ基板を用いることにより、半導体チップ 2 の放熱性を良好にできる。また塗布型の絶縁樹脂膜 3 a を用いることで平坦化を図り、これにより配線ボタン 3 c の微細化を可能にしている。

【0005】

【発明が解決しようとする課題】上記従来技術で実際に高周波マルチチップモジュールを実現し、携帯電話機を小型、薄型、軽量化を図った場合、塗布型絶縁樹脂膜の平坦性劣化の点で問題があった。

【0006】我々の検討によると、従来例の構造において半導体チップ 2 とパッケージ 1 との間にポリイミド

3

からなる絶縁膜 3 a を充填するには、塗布用ポリイミドの有機溶剤を 70% 以上にして粘性を低くする必要があった。この条件でポリイミドを熱硬化して絶縁膜 3 a を形成すると、有機溶剤の気化により間隙内のポリイミドの膜厚が著しく減少した。これにより間隙上の絶縁膜 3 a の高さが半導体チップ 2 上、パッケージ 1 上に比べ低くなり、表面が溝状となって平坦性が劣化し、配線ボタン 3 c を形成した場合には断線不良および溝内の配線金属残渣による短絡不良が多発した。

【0007】さらに高周波回路のマルチチップモジュール 10 には整合用コンデンサおよびバイパスコンデンサとして薄膜容量の搭載が要求されるが、上記の平坦性劣化により絶縁膜 3 a 上への薄膜容量の形成は困難であった。

【0008】また薄膜容量の誘電体としては、高い比誘電率が得られるチタン酸ストロンチウム (STO) もしくはチタン酸ストロンチウムバリウム (BST) といった酸化物誘電体結晶膜を用いるのが最適であるが、上記従来技術では絶縁膜 3 a はポリイミド等の比較的耐熱温度の低い樹脂材料を用い、その絶縁膜 3 a の形成後に薄膜容量を形成するため、本来高温で形成した場合に好ましい特性が得られる酸化物誘電体結晶を樹脂の耐熱温度 20 以下の低温で被着しなくてはならず、薄膜容量の高周波特性が劣化し、比誘電率のばらつきが大きくなるという問題が生じた。

【0009】本発明の目的は絶縁膜の平坦性を改善し、薄膜容量を搭載できる高周波マルチチップモジュールの構成および製造法を提案し、携帯電話機の小型化、薄型化、軽量化に最適な高周波マルチチップモジュールを提供することにある。

【0010】

【課題を解決するための手段】

＜解決手段 1＞上記目的は高周波マルチチップモジュールの構成を以下の構成とすることで達成できる。すなわち、複数の半導体チップと複数の薄膜キャパシタおよび薄膜インダクタを含む受動素子を有する高周波マルチチップモジュールにおいて、半導体チップを樹脂層により封じ込めて固定し、その樹脂層の上部に 1 層あるいは多層の配線層を設け、その配線層の上部に薄膜キャパシタを設ける。薄膜キャパシタは上部電極層と誘電体層と下部電極層の 3 層構造を有し、誘電体層のボタンを上部電極層のボタンの内側に形成し、下部電極層のボタンを誘電体層のボタンの内側に形成し、上部電極層、誘電体層、下部電極層の順で面積を小さくし、薄膜キャパシタの上記下部電極とその下方にある上記配線層とをバイアホールにより電氣的に接続する。

【0011】上部電極層、誘電体層、下部電極層の 3 層構造からなる薄膜キャパシタを、上部電極層、誘電体層、下部電極層の順で面積を小さくし、薄膜キャパシタの上記下部電極とその下方にある上記配線層とをバイア 50

4

ホールにより電氣的に接続する構造により、薄膜キャパシタを上下反対の状態上部電極層、誘電体層、下部電極層の順で被着した場合に、加工性の良い製造法を実現できる。よってまず高温形成が必要な薄膜キャパシタを形成し、その後に耐熱温度の低い樹脂層を形成することができ、薄膜キャパシタの良好な高周波特性と比誘電率の高い制御性が得られる。

【0012】さらにその樹脂層を形成する以前に配線層を形成することができ、配線層形成時の平坦性を容易に改善でき、配線の短絡、断線不良が解決する。また、半導体チップを樹脂層により封じ込めて固定することにより、マルチチップモジュールの機械的強度が保たれる。

【0013】＜解決手段 2＞また上記目的は高周波マルチチップモジュールの製造法を以下の製造法とすることで達成できる。すなわち、複数の半導体チップと複数の薄膜キャパシタおよび薄膜インダクタを含む受動素子を有する高周波マルチチップモジュールにおいて、半導体基板もしくは金属板からなるベース基板を用いてその上に絶縁保護膜を形成し、金属膜からなる上部電極層、誘電体層、金属膜からなる下部電極層を順次被着し、これら 3 層をパターンニングすることにより薄膜キャパシタを形成し、その薄膜キャパシタの上部に 1 層または多層の配線層を設け、その配線層と薄膜キャパシタの下部電極とをバイアホールにより接続し、半導体チップの裏面にはあらかじめ金属片からなるヒートシンクを接着しておき、半導体チップの主面電極にパンプを形成し、その後上記半導体チップの主面を下に向けてベース基板上に被着し、半導体チップの主面電極とベース基板上の配線層をパンプを介して電氣的に接続し、その後半導体チップを樹脂層により封じ込めて固定し、樹脂層の表面を機械研削により平坦化し、そのとき同時にヒートシンクを表出させ、樹脂層上に接続電極ボタンを形成し、ベース基板上に形成したこれらのモジュールボタンを切り出した後、ベース基板を研磨や化学エッチング法等により除去し、上下反転することにより所望のモジュールとする。

【0014】薄膜キャパシタを半導体基板もしくは金属板からなるベース基板上に絶縁保護膜を介して形成することにより、表面の凹凸がほとんど無視できる状態で薄膜キャパシタの誘電体層が被着でき、STO や BST といった酸化物誘電体結晶の結晶状態を良好にかつ再現性良く制御することができ、比誘電率が高くかつばらつきの少ない薄膜キャパシタが製造される。

【0015】さらに薄膜キャパシタに引き続き多層の配線層設けたことにより、平坦性の良好な状態で多層配線が形成され、薄膜インダクタ等の受動素子が良好に形成される。

【0016】薄膜キャパシタの下部電極とその下部の配線層をバイアホールにより接続することにより、薄膜キャパシタを最上部に形成することができ、プロセス後の

5

レーザカット法による薄膜キャパシタの調整が容易になる。

【0017】ヒートシンクを半導体チップの裏面に接続し、その後の機械研削によりヒートシンクを裏面に表出することにより、半導体チップのマザーボードへの放熱性が良好となり、発熱の大きな電力増幅器用の半導体チップのモジュール搭載が可能になる。

【0018】半導体チップを樹脂層により封じ込めて固定し、裏面の樹脂層上に接続電極パタンを形成することにより、樹脂層をパッケージとしたリードレスモジュールを構成できる。これはモジュールの小型化に最適な形状である。

【0019】またその樹脂層を比較的高温のプロセスが必要な薄膜容量を形成した後に用いるため、樹脂層の材料として耐熱性は350℃程度と低いが、1度に100μmないし200μmの厚さにコート可能でありかつ硬化収縮率が10%以下の熱硬化性樹脂を選択でき、工程数を削減するとともにモジュールの軽量化を図ることができる。

【0020】以上により良好な薄膜受動素子を搭載でき、リードレス構造を持ち、主構造部分が樹脂からなる薄型、小型、軽量化に最適なマルチチップモジュールが構成される。

【0021】

【発明の実施の形態】本発明の一実施例を図1および図3ないし図6に示す。本実施例は高出力トランジスタとしてシリコンMOSFETを用いた高周波電力増幅器を構成するマルチチップモジュールである。図1はモジュールの主要部分を切り出して側面から見た部分断面斜視図、図3(a)～図5(b)はモジュールの製造工程フローを示す図、図6は本実施例における誘電体層の特性を示すグラフである。

【0022】図3(a)～図5(b)および図6を用いてマルチチップモジュールの構造および製造法を説明する。

【0023】まず図3(a)において、シリコンウエハからなるベース基板11上に絶縁層12、電極層13、誘電体層14、電極層15を順次被着する。絶縁保護膜である絶縁層12にはSiO₂膜を用い、電極層13、15にはPt等の金属膜を用い、誘電体層14としてはSTO(チタン酸ストロンチウム)膜あるいはBST(チタン酸ストロンチウムバリウム)膜を用いる。誘電体層14被着時の温度は、膜の材質にも多少依存するが、高い誘電率を安定して得るためには通常400℃以上とするのが好ましいことが知られている。

【0024】実際に本実施例においてSTO膜を用いた場合の誘電体層14の特性を図6に示すが、我々の検討でも形成温度を400℃以上とすることにより誘電率が高かつばらつきが少ない特性が得られた。

【0025】次に図3(b)において、通常のパターン

6

ニング工程およびミリング工程によって電極層15、誘電体層14、電極層13を順次加工する。薄膜キャパシタは電極層13を上部電極層、14を誘電体層、電極層15を下部電極層として構成される。このとき薄膜キャパシタを構成する領域において電極層13、誘電体層14、電極層15をこの順番で内側に形成し、面積を順次小さくすることにより、ミリング工程による金属異物の再付着による短絡不良が抑圧でき、薄膜キャパシタを高い歩留まりで製造できる。

【0026】次に図4(a)において、感光性樹脂からなる層間膜16を塗布およびプリベーク、露光、現像、硬化ベークにより形成し、抵抗層17を被着して通常のパターンニング工程により加工し、感光性樹脂からなる層間膜18を塗布およびプリベーク、露光、現像、硬化ベークにより形成し、その後に配線層19を形成する。層間膜16および18としては感光性樹脂であるBCB(ベンゾシクロブテン)やPIQ(ポリイミド)等を用いる。硬化ベーク温度はBCBの場合250℃、PIQの場合350℃とするのが好ましい。抵抗層17としては例えばWSiN(タングステンシリコンナイトライド)膜を用いる。配線層19はTi/Cuを薄膜で形成した後、Cu/Ni/Au厚膜を電解メッキにより被着して形成する。薄膜キャパシタの電極層15とその上方にある配線層19は層間膜16および18に形成したパイアホールによって接続される。

【0027】次に図4(b)において、半導体チップ20に対しその裏面に金属片からなるヒートシンク21を接着し、さらに半導体チップ20の主面に金属パンプ22を形成しておき、これらを配線層19の上部に金属パンプ22を介して接続する。次に金属からなるポスト23に対しその一面に金属パンプ24を形成しておき、これらを配線層19の上部に金属パンプ24を介して接続する。半導体チップ20にはSi-MOSFETチップを用いる。半導体チップ20とヒートシンク21との接続はAu/Si共晶接続法等を用いる。金属パンプ22、24としてはAuを用い、ワイヤボンダー等により形成する。半導体チップ20およびポスト23のベース基板11上への搭載には通常のフリップチップ搭載装置を用いることにより、金属パンプ22、24と配線層19との接続を容易にかつ位置精度良く実現できる。

【0028】次に図5(a)において、樹脂層25をバーコータ等により塗布して半導体チップ20、ヒートシンク21、ポスト23を封じ込め、加熱処理により樹脂層25を硬化した後、機械研削により所望の厚さになるように樹脂層25の表面を平坦化してヒートシンク21およびポスト23を表出させる。樹脂層25としては通常フィラー入り熱硬化性樹脂を用いる。樹脂層25は、一度の塗布で半導体チップ20、ヒートシンク21、ポスト23を完全に覆うことができるように、その組成を選んで熱硬化前後での収縮率を10%以下に抑えるのが

7

好ましい。また機械研削後の樹脂層 2 5 の厚さは、樹脂上素子の高周波特性を向上するために $100\mu\text{m}$ 以上、樹脂層 2 5 を容易に塗布する上で $200\mu\text{m}$ 以下とするのが好ましい。

【0029】次に図 5 (b) において、感光性樹脂からなるパッシベーション膜 2 6 を塗布およびプリベーク、露光、現像、硬化ベークにより形成し、ベース基板 1 1 上に形成した各樹脂層をベース基板 1 1 に至る深さまで所望のモジュールパタンサイズで裁断する。さらにベース基板 1 1 および絶縁層 1 2 を研磨、ウエットエッチ等 10 によって除去することにより各パタンを分離し、その後に無電解メッキ法により金属膜 2 7 および 2 8 を被着することにより、高周波マルチチップモジュールが完成する。金属膜 2 7 および 2 8 としては通常 Cu または Au を用いるのが好適である。実際に高周波マルチチップモジュールを使用する時には図 1 に示すとおり上下反転し、マザーボードに接続する。

【0030】次に図 1 を用いて高周波マルチチップモジュールの各部の働きを説明する。まず、金属膜 2 8 はモジュールの電極端子として働き、電源端子、接地端子、 20 高周波入力及び出力端子を構成する。このことにより端子リードが不要となり、小型リードレスモジュールを実現できる。高周波信号は、入力端子を構成する金属膜 2 8 およびポスト 2 3 を通じて樹脂層 2 5 の上部に形成された配線層 1 9、受動素子、さらに半導体チップ 2 0 へ供給される。同様に半導体チップ 2 0 から出力された高周波信号は樹脂層 2 5 の上部に形成された配線層 1 9 や受動素子、ポスト 2 3 を通じて出力端子を構成する金属膜 2 8 から出力される。

【0031】受動素子は上で述べた薄膜キャパシタと抵抗層 1 7 から成る薄膜抵抗、および電極層 1 3 と金属膜 2 7 から成る薄膜スパイラルインダクタである。金属膜 2 7 はこれらの受動素子の寄生抵抗を低減し、電力損失を少なくする働きを持つ。これらの受動素子は、高周波信号の整合回路および半導体チップ 2 0 への電源供給回路を構成する。

【0032】半導体チップ 2 0 で発生した熱は、ヒートシンク 2 1 と金属膜 2 8 を通じて取り付け基板へ放出される。高周波電力増幅器モジュールの場合、出力トランジスタを構成する半導体チップ 2 0 は 1W ないし 4W 程 40 度の発熱を生じるが、熱伝導率の高い金属製のヒートシンク 2 1 を具備したことにより良好な放熱性を実現し、温度上昇による高周波性能劣化を防ぐことができる。また、高出力トランジスタとして Si-MOSFET を用いた場合、通常半導体チップの裏面はソース電極となるため、ヒートシンク 2 1 と金属膜 2 8 とにより寄生インダクタンスが少ないソース端子を実現できる。

【0033】本実施例によれば、薄膜キャパシタ形成時の平坦性を良好にでき、また誘電体層の形成温度を充分高くできるため、比誘電率が高くばらつきの少ない薄膜 50

8

キャパシタをマルチチップモジュールに搭載できる。また高周波マルチチップモジュールをウエハー一括プロセスで量産できるため、低コストで作製できる。また、放熱性が良好であり、かつ寄生抵抗による電力損失による劣化の少ない高周波マルチチップモジュールを提供できる。またリードレスモジュール構造による面積の縮小、受動素子を全て薄膜形成したことによる薄型化、モジュールの主構造部分を樹脂で形成したことによる軽量化を実現できる。

【0034】上記実施例においてベース基板 1 1 としてシリコンウエハを用いたが、これを金属ウエハとしてもよい。その場合金属材料の種類、組成により熱膨張率を自由に設定でき、樹脂層 2 5 を形成するときのベース基板 1 1 との熱膨張率差により生じる応力や歪みを緩和する効果を持つ。

【0035】上記実施例において半導体チップ 2 0 を Si-MOSFET チップとしたが、これはその種類を限るものではなく、実現しようとするマルチチップモジュールの機能により、GaAs MMIC (マイクロ波モノリシック集積回路) チップ、GaAs トランジスタチップ、Si-LSI チップとしても良い。さらに半導体にかぎらず、SAW チップを用いても良く、この場合にはフィルター機能を具備した高周波マルチチップモジュールを実現できる。また、半導体チップ 2 0 とヒートシンク 2 1 との接続は Au/Sn 共晶やハンダ、銀ペースト等による接続法を用いても良い。

【0036】また上記従来例においてはヒートシンク 2 1 を半導体チップ 2 0 に接続したが、このヒートシンク 2 1 は発熱の少ない半導体チップに対しては省略しても良い。

【0037】

【発明の効果】本発明によれば絶縁膜の平坦性を改善し、薄膜キャパシタを搭載できる高周波マルチチップモジュールを構成でき、携帯電話機の小型化、薄型化、軽量化に最適な高周波マルチチップモジュールを実現できる。

【図面の簡単な説明】

【図 1】本発明の一実施例の高周波マルチチップモジュールの部分断面斜視図。

【図 2】従来のマルチチップモジュールの断面図。

【図 3】本発明の一実施例の高周波マルチチップモジュールの製造工程を示す断面図。

【図 4】本発明の一実施例の高周波マルチチップモジュールの製造工程を示す断面図。

【図 5】本発明の一実施例の高周波マルチチップモジュールの製造工程を示す断面図。

【図 6】本発明による実施例の高周波マルチチップモジュールに搭載した誘電体層の特性を示すグラフである。

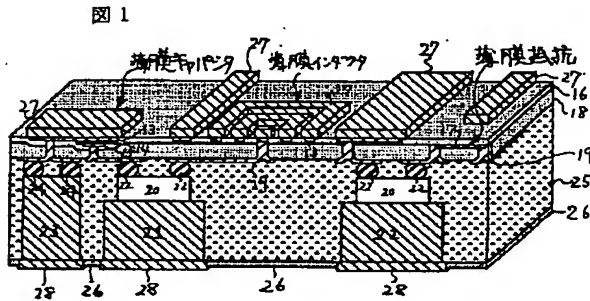
【符号の説明】

1…パッケージ、1a…ステージ、1b…接続パッド、

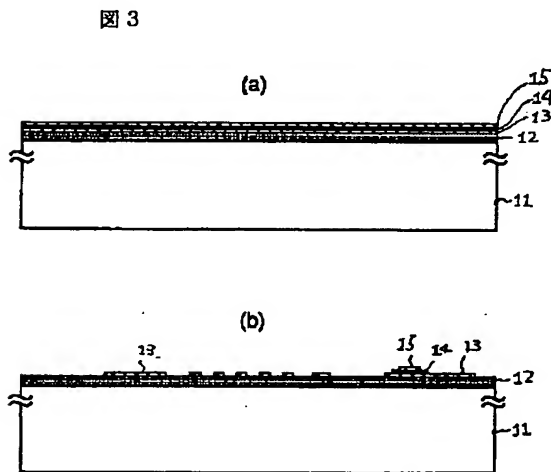
9

2…半導体チップ、2a…接続パッド、3a…絶縁膜、
3b…パイアホール、3c…配線パタン、3d…第2の
絶縁膜、3e…接地導体膜、5…薄膜抵抗、11…ベー
ス基板、12…絶縁層、13…(上部)電極層、14…
誘電体層、15…(下部)電極層、16…層間膜、17*

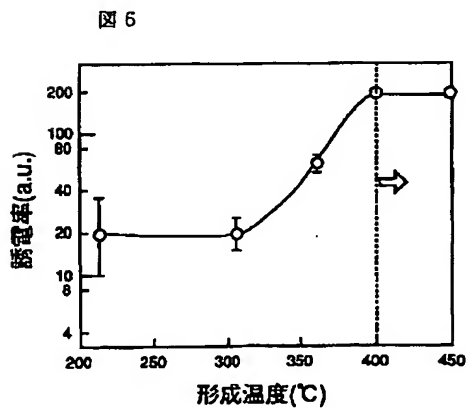
【図1】



【図3】



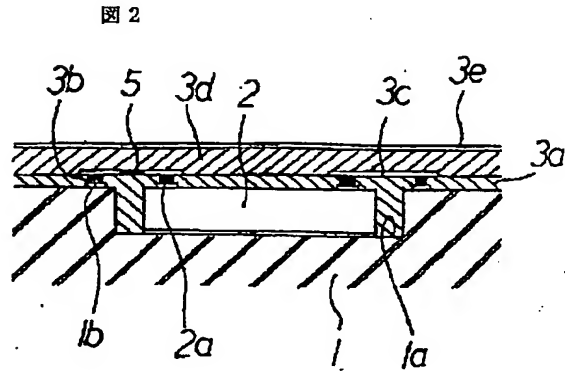
【図6】



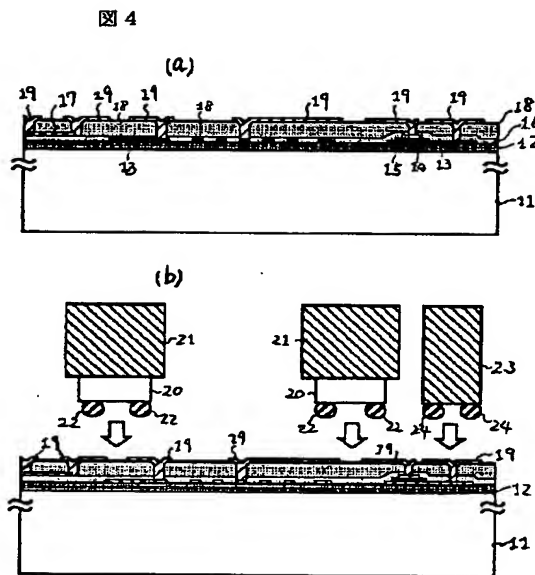
10

*…抵抗層、18…層間膜、19…配線層、20…半導体
チップ、21…ヒートシンク、22…金属バンプ、23
…ポスト、24…金属バンプ、25…樹脂層、26…パ
ッシベーション膜、27…金属膜、28…金属膜。

【図2】



【図4】



【図 5】

